

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-128197

(43)Date of publication of application : 25.05.1993

(51)Int.Cl.

G06F 15/60  
G06F 11/26

(21)Application number : 03-317350

(71)Applicant : HOKURIKU NIPPON DENKI  
SOFTWARE KK

(22)Date of filing : 06.11.1991

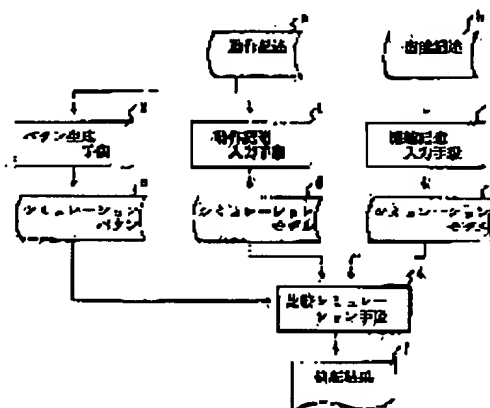
(72)Inventor : TANIMURA MASA HARU

## (54) LOGIC VERIFICATION DEVICE

## (57)Abstract:

PURPOSE: To drastically reduce design TAT by automatically generating a sequential simulation pattern covering the entire operation from the description of operation and automatically comparing the simulation results of the operation description, in verifying the design of a logic circuit.

CONSTITUTION: An operation description input means 1 inputs operation description (a) expressing the logic circuit subject to verification in a hardware describing language at an operation level and prepares a simulation model (d) inputtable to a comparison simulation means 4. A function description input means 2 inputs functional description (b) expressing the logic circuit subject to verification in a hardware describing language at a function level and prepares a simulation model (e) inputtable to a comparison simulation means 4. A pattern generation means 3 input the operation description (a) and prepares a sequential simulation pattern (c) which covers the entire operation. The comparison simulation means 4 performs the simulation at the operation level and the function level utilizing them and outputs a verification result (f).



## LEGAL STATUS

[Date of request for examination] 10.11.1995

[Date of sending the examiner's decision of rejection] 01.12.1998

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

Searching PAJ

2/2 ページ

[Date of requesting appeal against examiner's  
decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-128197

(43)公開日 平成5年(1993)5月25日

(51)IntCl <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 15/60	3 6 0 D	7922-5L		
11/28	3 1 0	9072-5B		

審査請求 未請求 請求項の数1(全 5 頁)

(21)出願番号 特願平3-317350

(22)出願日 平成3年(1991)11月6日

(71)出願人 000242666

北陸日本電気ソフトウェア株式会社  
石川県石川郡鶴来町安養寺1番地

(72)発明者 谷村 雅春

石川県石川郡鶴来町安養寺1番地 北陸日  
本電気ソフトウェア株式会社内

(74)代理人 弁理士 山下 穰平

(54)【発明の名称】 論理検証装置

(57)【要約】

【目的】 論理回路の設計検証において、動作記述より全動作を網羅するような時系列なシミュレーションボタンを自動生成し、動作記述のシミュレーション結果と機能記述のシミュレーション結果の自動比較を行うことにより、設計TATの大幅な削減を図る。

【構成】 ボタン生成手段3により、動作記述aより時系列なシミュレーションボタンcを自動生成し、動作記述入力手段1と機能記述入力手段2と比較シミュレーション手段4を用いて動作記述aの論理シミュレーションと機能記述bの論理シミュレーションを行い、さらに各々のシミュレーション結果の自動比較を行う。

